

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-134982

(43)Date of publication of application : 23.06.1986

(51)Int.Cl.

G11C 7/00

(21)Application number : 59-256982

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.12.1984

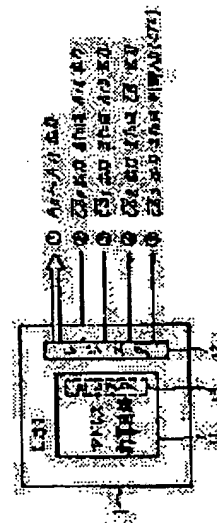
(72)Inventor : KOBAYASHI KAZUYA

## (54) MEMORY ACCESS CIRCUIT

### (57)Abstract:

**PURPOSE:** To easily replace a memory access circuit with a highly integrated memory element, by switching output signals to address signals themselves and signals obtained by decoding the address signals in accordance with the logical level of an input terminal which controls output information.

**CONSTITUTION:** A selector circuit 13 switches the output of the highest two bits of an address signal whether they are outputted under the same condition or after they converted into signals obtained when the address signal is decoded. An LSI 1 using a memory element of a  $4K \times 1$  bit constitution is an LSI for an address access series peripheral; circuit constituting a 16-K words memory, but it is designed in such a way that the LSI 1 can be replaced with a memory element of a  $16K \times 1$  bit constitution immediately.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭61-134982

⑫ Int. Cl.<sup>4</sup>  
G 11 C 7/00

識別記号 庁内整理番号  
6549-5B

⑬ 公開 昭和61年(1986)6月23日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 メモリ・アクセス回路

⑮ 特 願 昭59-256982

⑯ 出 願 昭59(1984)12月5日

⑰ 発 明 者 小 林 和 弥 川崎市中原区上小田中1015番地 富士通株式会社内  
⑱ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地  
⑲ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

メモリ・アクセス回路

2. 特許請求の範囲

メモリ素子アクセス用の出力端子と、該出力端子より出力する出力情報を制御する入力端子を備え、該入力端子の論理レベルによって、前記出力端子より出力する信号をアドレス信号そのもの、または、該アドレス信号をデコードした信号に切換え得るよう構成したことを特徴とするメモリ・アクセス回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、メモリ素子へのアクセス信号を作成するメモリ・アクセス回路に関する。

メモリ素子の集積度の向上は目覚しく、おおよそ、4倍/3年の割合で高集積化が進み、それとともに小容量の素子は製造が減少または中止となる傾向がある。いわゆる素子の世代交替である。

しかし、これらの世代交替に対応して、効果的

に高集積化されたメモリ素子を供用するには、その周辺回路、特にアドレス・アクセス系の部分に変更を迫ることが多々ある。

また、近年、周辺回路そのもののLSI化が進んでくるに従って、メモリ素子の世代交替は、周辺回路用LSIの設計変更を伴うことになり、工数および費用の面で無視できなくなりつつある。

メモリ周辺回路用LSIの集積度の高度化が行なわれると、これが開発に要する工数および費用は非常に大きなものとなり、設計変更に対する負担が大きくなっていく。

〔従来の技術〕

上記に説明したような事情があるにも拘わらず、従来は、メモリのアドレス・アクセス系周辺回路において、予めメモリ素子の世代交替に対して配慮を施した設計の例は殆どない。

〔発明が解決しようとする問題点〕

第4図は、4K×1ビット構成のメモリ素子を使用して、16K語のメモリ・システムを構成した場合の要部回路図である。図において、1はアドレ

ス・アクセス系周辺回路用LSI、2、3、4、5は4K×1ビット構成のメモリ素子であり、A<sub>0</sub>～A<sub>11</sub>はアドレス信号、CS<sub>0</sub>～CS<sub>3</sub>はチップ・セレクト信号を示す。

ここに、チップ・セレクト信号が、反転信号となっているのは、通常チップ・セレクト入力には負論理となっているからである。

第4図の回路構成において、メモリ素子の世代交替に対して特に配慮を施していない、通常のメモリ・アクセス回路を使用したLSIによって構成しているものとし、16Kビットのメモリ素子に置換えなければならなくなったが、メモリ・アクセス回路を含むLSIの更変は回避したい場合には、次のような方法が考えられる。

- (a) LSI外部で、チップ・セレクト信号“CS”をエンコードして、アドレス信号A<sub>12</sub>, A<sub>13</sub>を作り出す。
- (b) 16Kビットメモリ素子として、4K×4ビット等多ビット構成のものを使用する。
- (c) 16K×1ビット構成のメモリ素子4個を使用し、

アドレス信号A<sub>12</sub>, A<sub>13</sub>は使用しない。

しかしながら、これらの方法には、次のような欠点がある。

即ち、(a)は、アクセス系に遅延要素を付加することになる。(b)は、アクセス系LSIには変更を要しないが、データ入力/データ出力系のLSIに大きな変更を要することになる。(c)は、経過措置として止むを得ない処置としても、如何にも無駄である。

以上説明のように、約3年ごとに来るメモリ素子の世代交替の際に、メモリ周辺回路LSIを変更せずに、メモリ素子の置換えを行うことは、従来のメモリ・アクセス回路を使用したものでは、幾多の問題点がある。

予め、メモリ素子の世代交替を配慮した設計としては、例えば、上記の例において、予めLSIからA<sub>12</sub>, A<sub>13</sub>を出力信号として準備しておくことが考えられるが、これは、LSIの入出力ピンを無駄にすることになり、設計上の不都合な点となる。

本発明は、上記の問題点を解消した、新規なメモリ・アクセス回路を提供しようとするものである。

#### 【問題点を解決するための手段】

上記問題点は、出力端子より出力する出力情報を制御する入力端子の論理レベルによって、出力端子より出力する信号をアドレス信号そのもの、または、アドレス信号をデコードした信号に切換え得るよう構成した本発明のメモリ・アクセス回路によって解決される。

#### 【作用】

即ち、制御入力の論理レベルによって、出力端子から出力する信号として、アドレス信号をそのまま出力するか、または、アドレス信号の上位2ビット（4倍に高集積化したメモリ素子への置換えを配慮した場合）をデコードして、これをチップ・セレクト信号として出力するかの切換えができるようにしたものである。

#### 【実施例】

以下第1図～第3図に示す実施例により、本発

明の要旨を具体的に説明する。

第1図は、本発明の一実施例の要部回路図である。全図を通じて同一の符号は、同一の対象物を示す。

13はセレクト回路であって、制御入力の論理によって、アドレス信号の上位2ビットをそのまま出力するか、または、デコードして出力するかの切換えを行う。

LSI 1は、4K×1ビット構成のメモリ素子を使用して、16K毎のメモリを構成するアドレス・アクセス系周辺回路用LSIであるが、16K×1ビット構成のメモリ素子への置換えが、直ちに可能な設計となっている。

即ち、このLSIの入出力信号は、

- ① A<sub>0</sub>～A<sub>11</sub>出力（共通）
- ② CS<sub>0</sub>出力 または A<sub>12</sub>出力
- ③ CS<sub>1</sub>出力 または A<sub>13</sub>出力
- ④ CS<sub>2</sub>出力 または CS出力
- ⑤ CS<sub>3</sub>出力 または 制御入力CTL

上記の②～⑤の信号の切換えは、⑤の制御入力

の論理によって決り、論理 "0" を入力した場合には、②～④端子の出力信号は、 $A_{12}$ ,  $A_{13}$  および  $\bar{C}_5$  出力となり、 $16K \times 1$  ビット構成のメモリ素子用となる。

⑤の信号端子は、 $\bar{C}_5$  出力、または、制御入力 CTL 用となっており、入出力兼用となっており、第2図に示すような、疑似入出力端子の構成とすることによって実現できる。

しかし、実際には、特別な制御入力端子を準備することは必ずしも必要ではない。即ち、LSI が高集積化するにつれて、内部回路の試験を行うため、スキャン・イン/スキャン・アウトという技法が用いられるのが通常であり、スキャン・イン信号を用いて内部回路をセットすることができるようになってきているので、この機能を用いて制御信号 CTL 用のフリップフロップをセットすることができるからである。

第3図は、第1図で示した回路を使用して  $16K$  語のメモリを構成した回路構成ブロック図である。

図の(a)は、 $4K \times 1$  ビットのメモリ素子を使用し

た場合、(b)は  $16K \times 1$  ビットのメモリ素子を使用した場合を示す。

#### [発明の効果]

以上説明のように本発明によって、周辺回路用 LSI の変更なしに、高集積化されたメモリ素子への置換えを容易に行うことができるようになり、その工業的効果は大きい。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の要部回路図、

第2図は本発明の一実施例の制御入力回路図、

第3図は本発明を使用したメモリの回路構成ブロック図、

第4図は代表的なメモリの要部回路図である。

図面において、

1 はアドレス・アクセス系 LSI、

11 はアドレス計算回路、

12 はレジスタ、13 はセレクト、

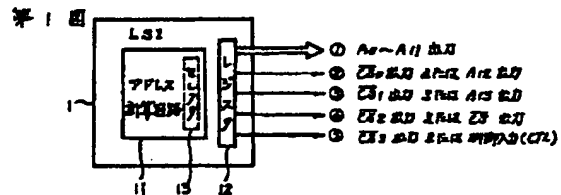
2, 3, 4 は  $4K \times 1$  ビットのメモリ素子、

5 は  $16K \times 1$  ビットのメモリ素子、

$A_0 \sim A_{16}$  はアドレス信号、

$\bar{C}_5$ ,  $\bar{C}_6 \sim \bar{C}_8$  はチップ・セレクト信号、  
CTL は制御信号、  
をそれぞれ示す。

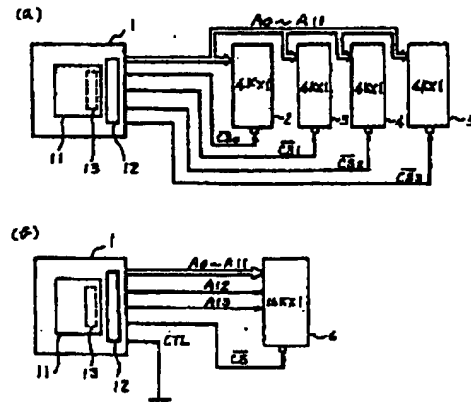
代理人 弁理士 松岡宏四郎



第2図



第3図



第 4 図

